

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月30日

出 願 番 号
Application Number:

特願2001-102429

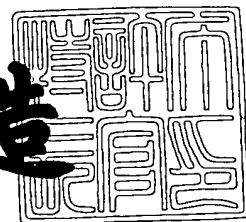
出 願 人
Applicant(s):

ミノルタ株式会社

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3042104

1-8821 U.S. PRO
09/891997



【書類名】 特許願

【整理番号】 ML11874-01

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 B41M 5/28

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル ミノルタ株式会社内

【氏名】 八木 司

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル ミノルタ株式会社内

【氏名】 浅井 克彦

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100091432

【弁理士】

【氏名又は名称】 森下 武一

【手数料の表示】

【予納台帳番号】 007618

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716117

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示素子及び液晶表示装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の画素を含む第 1 表示領域と、
マトリクス状に配置された複数の画素を含む第 2 表示領域とを備え、

前記第 1 表示領域及び第 2 表示領域に含まれる画素は、それぞれ、行方向及び
列方向に所定のピッチを有し、

前記第 2 表示領域に含まれる画素の列方向長さは、前記第 1 表示領域に含まれ
る画素の列方向長さよりも短いこと、

を特徴とする液晶表示素子。

【請求項 2】 前記第 1 表示領域及び第 2 表示領域に含まれる画素の行方向長
さは、それぞれ等しいことを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 前記第 2 表示領域に含まれる画素の列方向長さ及びピッチは、
前記第 1 表示領域に含まれる画素の列方向長さ及びピッチの $1/n$ (n は 2 以上
の整数)であることを特徴とする請求項 1 又は請求項 2 記載の液晶表示素子。

【請求項 4】 前記第 1 表示領域及び第 2 表示領域に含まれる画素は、第 1 表
示領域及び第 2 表示領域ごとに分割された信号電極によって駆動されることを特
徴とする請求項 1、請求項 2 又は請求項 3 記載の液晶表示素子。

【請求項 5】 互いに交差する複数の走査電極及び複数の信号電極と、
走査電極が所定の幅及びピッチを有している第 1 表示領域と、
走査電極が前記第 1 の表示領域より小さい幅及び小さいピッチを有している第
2 表示領域と、
を備えたことを特徴とする液晶表示素子。

【請求項 6】 前記第 2 表示領域に配置された走査電極の幅及びピッチは、前
記第 1 表示領域に配置された走査電極の幅及びピッチの $1/n$ (n は 2 以上の整
数)であることを特徴とする請求項 5 記載の液晶表示素子。

【請求項 7】 前記信号電極は前記第 1 表示領域及び第 2 表示領域ごとに独立
して配置されていることを特徴とする請求項 5 又は請求項 6 記載の液晶表示素子
。

【請求項 8】 前記画素は、室温でコレステリック相を示す液晶組成物を含むことを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 又は請求項 7 記載の液晶表示素子。

【請求項 9】 請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 又は請求項 8 記載の液晶表示素子と、その駆動手段を備えたことを特徴とする液晶表示装置。

【請求項 10】 前記駆動手段は前記第 2 表示領域に対してインターレース走査を行うことを特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】 前記駆動手段は前記第 2 表示領域に対して動画を表示させることを特徴とする請求項 10 記載の液晶表示装置。

【請求項 12】 前記駆動手段は前記第 1 表示領域に対して線順次走査を行うことを特徴とする請求項 9 記載の液晶表示装置。

【請求項 13】 前記駆動手段は前記第 1 表示領域に対して静止画を表示させることを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】 前記駆動手段は前記第 2 表示領域に対して前記第 1 表示領域よりも高い頻度で表示更新を行うことを特徴とする請求項 9 記載の液晶表示装置。

【請求項 15】 前記駆動手段は複数の走査駆動素子を含み、該走査駆動素子の配列ピッチが前記第 1 表示領域及び第 2 表示領域で異なることを特徴とする請求項 9 記載の液晶表示装置。

【請求項 16】 前記第 2 表示領域に含まれる画素の列方向長さ及び列方向ピッチ、又は、第 2 表示領域に配置された走査電極の幅とピッチが前記インターレース走査のフィールド分割数に対応付けられていることを特徴とする請求項 10 記載の液晶表示装置。

【請求項 17】 前記駆動手段は複数の走査駆動素子を含み、該走査駆動素子の配列ピッチが前記第 1 表示領域及び第 2 表示領域で等しいことを特徴とする請求項 9 記載の液晶表示装置。

【請求項 18】 前記複数の走査駆動素子が前記第 2 表示領域の両端部に分けて配置されていることを特徴とする請求項 17 記載の液晶表示装置。

【請求項19】 前記駆動手段は各画素の液晶をリセットした後に書込みを行う駆動パルスを用いて画像を表示させることを特徴とする請求項9記載の液晶表示装置。

【請求項20】 前記駆動手段は、液晶をホメオトロピック状態にリセットするリセット期間と、液晶の最終的な表示状態を選択するための選択期間と、該選択期間で選択された状態を確立するための維持期間とで液晶を駆動することを特徴とする請求項9記載の液晶表示装置。

【請求項21】 前記液晶表示素子は複数の表示層が積層されたものであることを特徴とする請求項9記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示素子及び液晶表示装置、特に、マトリクス状に配置された複数の画素を液晶にて構成した液晶表示素子及び該素子を備えた液晶表示装置に関する。

【0002】

【従来の技術とその課題】

近年、室温でコレステリック相を示すカイラルネマティック液晶を用いた液晶表示素子が、電力の供給を停止しても表示状態を維持するメモリ性を有することから、注目されている。

【0003】

しかしながら、この種の液晶表示素子では、液晶を一旦リセットしてから画像を書き込む必要があり、表示が完成するまでに時間を要していた。このような表示が完成するまでの間、書換え対象部分は素子の背景である光吸収層が黒線として観察され（ブラックアウト）、画面が見にくくなるという問題点を有していた。

【0004】

そこで、本発明の目的は、解像度を高くして、表示品位を損なうことなくインターレース走査が可能な液晶表示素子及び液晶表示装置を提供することにある。

【0005】

本発明の他の目的は、製造が容易でコストの低減が可能な液晶表示素子及び液晶表示装置を提供することにある。

【0006】

さらに、本発明の他の目的は、画像データ転送用クロック信号の周波数が高くなるのが防止され、低消費電力化を達成できる液晶表示素子及び液晶表示装置を提供することにある。

【0007】

【発明の構成、作用及び効果】

以上の目的を達成するため、第1の発明に係る液晶表示素子は、マトリクス状に配置された複数の画素を含む第1表示領域と、マトリクス状に配置された複数の画素を含む第2表示領域とを備え、前記第1表示領域及び第2表示領域に含まれる画素は、それぞれ、行方向及び列方向に所定のピッチを有し、前記第2表示領域に含まれる画素の列方向長さは、前記第1表示領域に含まれる画素の列方向長さよりも短いことを特徴とする。

【0008】

第1の発明に係る液晶表示素子においては、第2表示領域に含まれる画素の列方向長さが、第1表示領域に含まれる画素の列方向長さよりも短いため、第2表示領域では列方向の解像度が高くなり、ブラックアウトが目立たなくなり、表示品位を高めた状態でインターレース走査が可能となる。また、第1表示領域に含まれる画素は比較的大きいため、製造が容易であり、コストを抑えることができる。

【0009】

さらに、列方向の解像度をあえて増加させる必要はなく、画像データ転送用クロック信号の周波数が高くなることはない。従って、高価な駆動ICの増加を抑え、消費電力の低減を図ることができる。

【0010】

第1の発明に係る液晶表示素子にあっては、第2表示領域に含まれる画素の列方向長さ及びピッチは、前記第1表示領域に含まれる画素の列方向長さ及びピッ

チの $1/n$ (n は 2 以上の整数) であってもよい。

【0011】

また、第 1 表示領域及び第 2 表示領域に含まれる画素は、第 1 表示領域及び第 2 表示領域で共通の信号電極によって駆動してもよく、あるいは、第 1 表示領域及び第 2 表示領域ごとに分割された信号電極によって駆動してもよい。後者にあつては、第 2 表示領域に画像を表示する際に第 1 表示領域に対するクロストークの影響を回避することができる。

【0012】

第 2 の発明に係る液晶表示素子は、互いに交差する複数の走査電極及び複数の信号電極と、走査電極が所定の幅及びピッチを有している第 1 表示領域と、走査電極が前記第 1 の表示領域より小さい幅及び小さいピッチを有している第 2 表示領域とを備えたことを特徴とする。

【0013】

第 2 の発明に係る液晶表示素子においては、第 2 表示領域に配置された走査電極の幅及びピッチが、第 1 表示領域に配置された走査電極の幅及びピッチよりも小さいため、第 2 表示領域では走査電極の配列方向の解像度が高くなり、ブラックアウトが目立たなくなり、表示品位を高めた状態でインターレース走査が可能となる。また、第 1 表示領域に配置された走査電極の幅及びピッチは比較的大きいため、製造が容易であり、コストを抑えることができる。

【0014】

さらに、信号電極の配列方向の解像度をあえて増加させる必要はなく、画像データ転送用クロック信号の周波数が高くなることはない。従って、高価な駆動 IC の増加を抑え、消費電力の低減を図ることができる。

【0015】

第 2 の発明に係る液晶表示素子にあつては、第 2 表示領域に配置された走査電極の幅及びピッチは、第 1 表示領域に配置された走査電極の幅及びピッチの $1/n$ (n は 2 以上の整数) であってもよい。

【0016】

また、第 1 表示領域及び第 2 表示領域の信号電極は、第 1 表示領域及び第 2 表

示領域で共通に配置してもよく、あるいは、第 1 表示領域及び第 2 表示領域ごとに独立して配置してもよい。後者にあつては、第 2 表示領域に画像を表示する際に第 1 表示領域に対するクロストークの影響を回避することができる。

【 0 0 1 7 】

第 3 の発明に係る液晶表示装置は、前記第 1 又は第 2 の発明に係る液晶表示素子と、その駆動手段を備えたことを特徴とする。この駆動手段は第 2 表示領域に対してインターレース走査を行うことが好ましい。

【 0 0 1 8 】

第 3 の発明に係る液晶表示装置においては、前記第 1 又は第 2 の発明に係る液晶表示素子の作用効果を奏する。

【 0 0 1 9 】

第 3 の発明に係る液晶表示装置にあつては、第 2 表示領域に含まれる画素の列方向長さ及び列方向ピッチ、又は、第 2 表示領域に配置された走査電極の幅とピッチがインターレース走査のフィールド分割数に対応付けられていることが好ましい。さらに、駆動手段は各画素の液晶をリセットした後に書込みを行う駆動パルスを用いて画像を表示させることが好ましい。この場合、駆動手段は、液晶をホメオトロピック状態にリセットするリセット期間と、液晶の最終的な表示状態を選択するための選択期間と、該選択期間で選択された状態を確立するための維持期間とで液晶を駆動することにより、高速での画像の更新が可能となる。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明に係る液晶表示素子及び液晶表示装置の実施形態について、添付図面を参照して説明する。

【 0 0 2 1 】

(液晶表示素子、図 1 参照)

まず、本発明の一実施形態であるコレステリック相を示す液晶を含む液晶表示素子について説明する。

【 0 0 2 2 】

図 1 は単純マトリクス駆動方式による反射型のフルカラー液晶表示素子を示す

。この液晶表示素子 1 0 0 は、光吸収層 1 2 1 の上に、赤色の選択反射と透明状態の切換えにより表示を行う赤色表示層 1 1 1 R を配し、その上に緑色の選択反射と透明状態の切換えにより表示を行う緑色表示層 1 1 1 G を積層し、さらに、その上に青色の選択反射と透明状態の切り換えにより表示を行う青色表示層 1 1 1 B を積層したものである。

【 0 0 2 3 】

各表示層 1 1 1 R, 1 1 1 G, 1 1 1 B は、それぞれ透明電極 1 1 3, 1 1 4 を形成した透明基板 1 1 2 間に樹脂製柱状構造物 1 1 5、液晶 1 1 6 及びスペーサ 1 1 7 を挟持したものである。透明電極 1 1 3, 1 1 4 上には必要に応じて絶縁膜 1 1 8、配向制御膜 1 1 9 が設けられる。また、基板 1 1 2 の外周部（表示領域外）には液晶 1 1 6 を封止するためのシール材 1 2 0 が設けられる。

【 0 0 2 4 】

透明電極 1 1 3, 1 1 4 はそれぞれ駆動 IC 1 3 1, 1 3 2（図 2 参照）に接続されており、透明電極 1 1 3, 1 1 4 の間にそれぞれ所定のパルス電圧が印加される。この印加電圧に应答して、液晶 1 1 6 が可視光を透過する透明状態と特定波長の可視光を選択的に反射する選択反射状態との間で表示が切り換えられる。

【 0 0 2 5 】

各表示層 1 1 1 R, 1 1 1 G, 1 1 1 B に設けられている透明電極 1 1 3, 1 1 4 は、それぞれ微細な間隔を保って平行に並べられた複数の帯状電極よりなり、その帯状電極の並ぶ向きが互いに直角方向となるように対向させてある。これら上下の帯状電極に順次通電が行われる。即ち、各液晶 1 1 6 に対してマトリクス状に順次電圧が印加されて表示が行われる。これをマトリクス駆動と称し、電極 1 1 3, 1 1 4 が交差する部分が各画素を構成することになる。このようなマトリクス駆動を各表示層ごとに行うことにより液晶表示素子 1 0 0 にフルカラー画像の表示を行う。

【 0 0 2 6 】

詳しくは、2 枚の基板間にコレステリック相を示す液晶を挟持した液晶表示素子では、液晶の状態をプレーナ状態とフォーカルコニック状態に切り換えて表示

を行う。液晶がプレーナ状態の場合、コレステリック液晶の螺旋ピッチを P 、液晶の平均屈折率を n とすると、波長 $\lambda = P \cdot n$ の光が選択的に反射される。また、フォーカルコニック状態では、コレステリック液晶の選択反射波長が赤外光域にある場合には散乱し、それよりも短い場合には可視光を透過する。そのため、選択反射波長を可視光域に設定し、素子の観察側と反対側に光吸収層を設けることにより、プレーナ状態で選択反射色の表示、フォーカルコニック状態で黒の表示が可能になる。また、選択反射波長を赤外光域に設定し、素子の観察側と反対側に光吸収層を設けることにより、プレーナ状態では赤外光域の波長の光を反射するが可視光域の波長の光は透過するので黒の表示、フォーカルコニック状態で散乱による白の表示を行う透過-散乱モードでの使用も可能になる。

【 0 0 2 7 】

各表示層 1 1 1 R, 1 1 1 G, 1 1 1 B を積層した液晶表示素子 1 0 0 は、青色表示層 1 1 1 B 及び緑色表示層 1 1 1 G を液晶がフォーカルコニック配列となった透明状態とし、赤色表示層 1 1 1 R を液晶がプレーナ配列となった選択反射状態とすることにより、赤色表示を行うことができる。また、青色表示層 1 1 1 B を液晶がフォーカルコニック配列となった透明状態とし、緑色表示層 1 1 1 G 及び赤色表示層 1 1 1 R を液晶がプレーナ配列となった選択反射状態とすることにより、イエローの表示を行うことができる。同様に、各表示層の状態を透明状態と選択反射状態とを適宜選択することにより赤色、緑色、青色、白色、シアン、マゼンタ、イエロー、黒色の表示が可能である。さらに、各表示層 1 1 1 R, 1 1 1 G, 1 1 1 B の状態として中間の選択反射状態を選択することにより中間色の表示が可能となり、フルカラー表示素子として利用できる。

【 0 0 2 8 】

液晶 1 1 6 としては、室温でコレステリック相を示すものが好ましく、特に、ネマティック液晶にカイラル材を添加することによって得られるカイラルネマティック液晶が好適である。

【 0 0 2 9 】

カイラル材は、ネマティック液晶に添加された場合にネマティック液晶の分子を振る作用を有する添加剤である。カイラル材をネマティック液晶に添加するこ

とにより、所定の捩れ間隔を有する液晶分子の螺旋構造が生じ、これによりコレステリック相を示す。

【0030】

なお、メモリ性液晶自体は必ずしもこの構成に限定されるわけではなく、従来公知の高分子の3次元網目構造のなかに液晶が分散された、あるいは、液晶中に高分子の3次元網目構造が形成された、いわゆる高分子分散型の液晶複合膜として液晶表示層を構成することも可能である。

【0031】

(駆動回路、図2参照)

前記液晶表示素子100の画素構成は、図2に示すように、複数本の走査電極 $R_1 \sim R_m$ 、 $R_{m+1} \sim R_M$ と、複数本の信号電極 $C_1 \sim C_n$ (m, M, n はそれぞれ自然数であり、 m は M より小さい)とのマトリクスで表される。各走査電極は走査駆動IC131の出力端子に接続され、各信号電極は信号駆動IC132の出力端子に接続されている。

【0032】

これらの走査電極及び信号電極の交差部分が1単位の表示画素として定義される。走査電極 $R_{m+1} \sim R_M$ は、専ら静止画を表示するための第1表示領域11を構成し、画素 $LR_{m+1}-C_1 \sim LR_M-C_n$ が含まれる。走査電極 $R_1 \sim R_m$ は、専ら動画を表示するための第2表示領域12を構成し、画素 $LR_1-C_1 \sim LR_m-C_n$ が含まれる。

【0033】

第1表示領域11を構成する走査電極 $R_{m+1} \sim R_M$ と信号電極 $C_1 \sim C_n$ の幅及びピッチは互いにほぼ等しく、各画素 $LR_{m+1}-C_1 \sim LR_M-C_n$ はほぼ正形状とされている。第2表示領域12を構成する走査電極 $R_1 \sim R_m$ の幅は走査電極 $R_{m+1} \sim R_M$ のほぼ1/2、ピッチはほぼ2倍とされ、各画素 $LR_1-C_1 \sim LR_m-C_n$ は横長の長形状とされている。

【0034】

なお、第1表示領域11と第2表示領域12におけるそれぞれの走査電極の幅、ピッチの比率は、図2に示した1:2以外に種々の値を採用することができる。

。例えば、1:3であってもよい(図3(B)参照)。

【0035】

また、図2では、青色表示層111Bの画素構成を示しているが、他の表示層111G, 111Rにおいても同様の画素構成を有している。さらに、通常、駆動IC131, 132は各表示層111B, 111G, 111Rごとに設けられる。但し、走査駆動IC131に関しては、各表示層において共通化することができる。

【0036】

走査駆動IC131は、走査電極 $R_1 \sim R_M$ のうち所定のものに選択信号を出力して選択状態とする一方、その他の走査電極には非選択信号を出力して非選択状態とする。走査駆動IC131は、所定の時間間隔で走査電極を切り換えながら順次各走査電極 $R_1 \sim R_M$ に選択信号を印加してゆく。一方、信号駆動IC132は、選択状態にある走査電極上の各画素を書き換えるべく、画像データに応じた信号を各信号電極 $C_1 \sim C_n$ に同時に出力する。例えば、走査電極 R_a が選択されると(a は $a \leq M$ を満たす自然数)、この走査電極 R_a と各信号電極 $C_1 \sim C_n$ との交差部分の画素 $L R a - C_1 \sim L R a - C_n$ が同時に書き換えられる。これにより、各画素における走査電極と信号電極との電圧差が画素の書換え電圧となり、各画素がこの書換え電圧に応じて書き換えられる。

【0037】

駆動回路は中央処理装置135、画像処理装置136、画像メモリ137及びLCDコントローラ138にて構成されている。画像メモリ137に記憶された画像データに基づいてLCDコントローラ138が駆動IC131, 132を制御し、液晶表示素子100の各走査電極及び信号電極間に順次電圧を印加し、液晶表示素子100に画像を書き込む。

【0038】

ここで、コレステリック相を示す液晶の捩れを解くための第1の閾値電圧を V_{th1} とすると、電圧 V_{th1} を十分な時間印加した後に電圧を第1の閾値電圧 V_{th1} よりも小さい第2の閾値電圧 V_{th2} 以下に下げるとプレーナ状態になる。また、 V_{th2} 以上で V_{th1} 以下の電圧を十分な時間印加するとフォーカルコニック状

態になる。この二つの状態は電圧印加を停止した後でも安定に維持される。また、 $V_{th1} \sim V_{th2}$ 間の電圧を印加することにより、中間調の表示、即ち、階調表示が可能である。

【0039】

なお、部分的に書換えを行う場合は、書き換えたい部分を含むように特定の走査ラインのみを順次選択するようにすればよい。これにより、必要な部分のみを短時間で書き換えることができる。

【0040】

(画素構成、図3参照)

ここで、専ら動画を表示するために用いられる第2表示領域12における画素構成の第1例を図3(A)に示し、第2例を図3(B)に示す。画素構成例1, 2にあっては、走査電極 $R_1 \sim R_m$ の幅を信号電極 $C_1 \sim C_n$ の幅より小さくすることによって、各画素 $LR_1 - C_1 \sim LR_m - C_n$ を横長の長形状としている。

【0041】

図3(A), (B)において、それぞれ点線で囲った領域が画像データにおける1画素である。構成例1では、画像データの1画素をさらに走査電極の配列方向に約 $1/2$ に細分化して表示することになる。例えば、信号電極の配列方向に沿った水平方向の画素密度を 90 dpi とすると、走査電極の配列方向に沿った垂直方向の画素密度は 180 dpi である。また、構成例2では、画像データの1画素をさらに走査電極の配列方向に約 $1/3$ に細分化して表示することになる。例えば、信号電極の配列方向に沿った画素密度を 90 dpi とすると、走査電極の配列方向に沿った画素密度は 270 dpi である。

【0042】

各画素の縦横比は、基本的には、以下に説明するインターレース走査におけるフィールド分割数に基づいて決定される。例えば、インターレース走査例1では2フィールドに分割していることに基づいて、各画素の縦横比は $1:2$ とされる。また、インターレース走査例2では3フィールドに分割していることに基づいて、各画素の縦横比は $1:3$ とされる。各画素の縦横比とインターレース走査のフィールド分割数とは必ずしも一致している必要はなく、例えば、構成例1を3

フィールドに分割してインターレース走査してもよく、構成例 2 を 2 フィールドに分割してインターレース走査してもよい。

【0043】

また、各画素の縦横比を 1 : 3 よりさらに大きくしても構わないし、インターレース走査のフィールド分割数を 3 より多くしても構わない。但し、各画素の縦横比を大きくするほど、電極の加工・形成が難しくなる。また、フィールド分割数を多くすると、液晶のブラックアウトによる黒帯が観察されやすくなる。従って、各画素の縦横比を 1 : 2、インターレース走査のフィールド分割数を 2 にすることが最も実用的である。

【0044】

(駆動 IC の配置例、図 4, 5 参照)

走査駆動 IC 131 及び信号駆動 IC 132 は、いずれも、複数本の電極ごとに複数のものを使用することができる。図 4 に示す配置例 1 では、表示領域 11, 12 の一方の端部に全ての走査駆動 IC 131 が配置されている。図 5 に示す配置例 2 では、ピッチの細かい第 2 表示領域 12 のみその両端部に分けて走査駆動 IC 131 が配置されている。例えば、偶数ラインに接続する走査駆動 IC 131 は右側に、奇数ラインに接続する走査駆動 IC 131 は左側に配置する。但し、表示素子のサイズが小さい場合は、全ての電極を一つの走査駆動 IC 131 及び信号駆動 IC 132 でまかなうようにしてもよい。

【0045】

(駆動例 1、図 6 参照)

次に、駆動方法の第 1 例について説明する。なお、図 6 において (図 7 でも同じ)、ロウ 1 ~ 3 とは順に選択される 3 本の走査電極を意味し、カラムとは前記各走査電極に交差する 1 本の信号電極を意味し、LCD 1 ~ 3 とはロウ 1 ~ 3 とカラムとの交差部に形成される三つの画素に相当する液晶層を意味する。

【0046】

この駆動例 1 は、リセット期間と選択期間と維持期間とクロストーク (表示) 期間とから構成されている。リセット期間では、まず最初に、書込みを行う走査電極上の画素に所定の電圧を印加することにより、液晶をホメオトロピック状態

にリセットする。

【0047】

選択期間はさらに三つの期間（前選択期間、選択パルス印加期間、後選択期間）から構成されている。選択期間のうち的一部分（選択パルス印加期間）にのみ画像データに応じた選択パルスが印加され、前選択期間及び後選択期間には実質的に液晶に印加する電圧をゼロとする。この選択パルスは、最終的にプレーナ状態を選択したい画素とフォーカルコニック状態を選択したい画素とでは、電圧ないしパルスの形状が異なる。プレーナ状態を選択する場合には、選択パルス印加期間に所定電圧の選択パルスを印加する。

【0048】

その後の維持期間では、書込みを行う走査電極上の画素に所定電圧のパルス電圧を印加する。そして、クロストーク期間において、液晶に印加される電圧をゼロにすることにより、プレーナ状態が選択される。

【0049】

一方、最終的にフォーカルコニック状態を選択したい場合には、選択パルス印加期間に、液晶にかかる電圧を実質的にゼロにする。

【0050】

その後の維持期間では、プレーナ状態を選択する場合と同様に、書込みを行う走査ライン上の画素に所定電圧のパルス電圧を印加することにより、液晶をフォーカルコニック状態へと遷移させる。クロストーク期間では、プレーナ状態を選択する場合と同様に、液晶に印加される電圧をゼロにする。フォーカルコニック状態の液晶は電圧をゼロにしても、フォーカルコニック状態のまま固定される。

【0051】

選択期間の中央の短い時間、即ち、選択パルス印加期間に印加する選択パルスにより、最終的な液晶の表示状態が選択できる。また、この選択パルスのパルス幅を調整することにより、具体的には、信号電極に印加するパルスの形状を画像データに応じて変化させることにより、中間調の表示が可能である。

【0052】

選択パルスは書込み対象画素に表示させる画像データにより形状を変える必要

があり、カラムには画像データに応じて異なる形状の選択パルス印加しなければならない。一方、前選択期間及び後選択期間では、常に画素内の液晶には電圧ゼロを印加するので、電圧ゼロを得られるような、ロウ、カラムともにある決まったパルス波形の組合せを用いることができる。図6に示す駆動例1では、このことを利用して、複数の走査電極上の画素に対して、リセットと維持と表示とを同時に行っている。

【0053】

例えば、LCD2が前選択期間にあるとき、ロウ2及びロウ3には互いに異なる位相のパルス電圧 $+V_1$ を印加し、ロウ1には $+V_1/2$ の電圧を印加する。このとき、カラムにロウ3と異なる位相のパルス電圧 $+V_1$ を印加すると、LCD3には電圧 $\pm V_R = \pm V_1$ のリセットパルスが、LCD2には電圧ゼロが、LCD1には電圧 $\pm V_e = \pm V_1/2$ の維持パルスが印加される。

【0054】

LCD2が選択パルス印加期間にあるときは、カラムからは画像データによって異なる形状のデータパルス（電圧 $+V_1$ ）が印加されるため、ロウ1、ロウ3ともに電圧 $+V_1/2$ のパルスを印加して、LCD1、LCD3には $\pm V_1/2$ の電圧がかかるようにする。ロウ2には電圧 $+V_1$ のパルスを印加し、カラムに印加するデータパルスとの電圧差（ $\pm V_1$ 又はゼロ）が、電圧 $\pm V_{se1}$ の選択パルスとしてLCD2に印加される。カラムに印加するデータパルスの形状を変化させることで、選択パルスのパルス幅を変化させることができる。

【0055】

後選択期間では、前選択期間と同様のことを行う。即ち、ロウ2及びロウ3には互いに異なる位相のパルス電圧 $+V_1$ を印加し、ロウ1には $+V_1/2$ の電圧を印加する。そして、カラムにロウ3と異なる位相のパルス電圧 $+V_1$ を印加することにより、LCD3に電圧 $\pm V_R = \pm V_1$ のリセットパルス、LCD2に電圧ゼロ、LCD1に電圧 $\pm V_e = \pm V_1/2$ の維持パルスを印加する。

【0056】

リセット期間、選択期間及び維持期間以外の期間は、各走査電極には、他の走査電極の前選択期間及び後選択期間に信号電極から印加するデータパルスと同じ

位相の波形を印加し、他の走査電極の選択パルス印加期間には電圧 $+V_1/2$ のパルスを印加する。こうすることによって、この部分の液晶には、画像データに応じて、選択パルスと同じパルス幅で、電圧 $\pm V_1/2$ のクロストーク電圧が印加される。このクロストーク電圧は、パルス幅が狭いため、液晶の表示状態には影響を及ぼさない。

【0057】

以上のパルス電圧の印加を各走査電極に対して順次繰返し実行することにより、画像表示を行うことができる。また、任意の走査電極に前記リセットパルス、選択パルス、維持パルスを印加することができるので、部分書換えを行うこともできる。

【0058】

(駆動例 2、図 7 参照)

次に、駆動方法の第 2 例について説明する。ここでは、信号電極に対して、順に、透過、中間調、全反射をそれぞれ選択するような信号電圧が入力されている。

【0059】

なお、理解を容易にするため、図 7 では、リセット期間、維持期間は選択時間の 2 倍として図示しているが、実際には、リセットや選択期間で選択された状態が正しく確立されるように十分長い時間確保することが望ましく、通常、選択期間や選択パルス幅に比べて十分長い時間（例えば、数十倍）に設定される。

【0060】

この駆動例 2 では、前記駆動例 1 と同様に、選択期間は選択パルス印加時間とその前後の前選択時間及び後選択時間とに分かれている。前選択時間と後選択時間の長さは選択パルス幅（選択パルス印加時間）の整数倍（図 5 では 1 倍）にする。

【0061】

この場合、各走査電極（ロウ 1, 2, 3）には、リセット期間、選択期間、維持期間にそれぞれ順次、リセット電圧 $\pm V_1$ 、選択電圧 $\pm V_2$ 、維持電圧 $\pm V_3$ が印加され、リセット期間及び維持期間の長さは、それぞれ選択パルス印加時間

の整数倍（図 7 では 2 倍）にする。また、表示（クロストーク）期間は電圧 0 V とされる。一方、信号電極（カラム）には画像データに応じて位相をシフトさせた電圧 $\pm V_4$ のパルス波形が印加される。

【 0 0 6 2 】

この駆動例 2 では、カラムへの印加電圧 $\pm V_4$ の位相及び電圧値と選択電圧 $\pm V_2$ とに基づいて選択パルスの波形が決められ、電圧 $\pm V_4$ の位相が選択電圧 $\pm V_2$ と同じ場合は、 $\pm (V_2 - V_4)$ の選択パルスとなり透過（フォーカルコニック状態）が選択され、逆位相の場合は $\pm (V_2 + V_4)$ の選択パルスとなり選択反射（プレーナ状態）が選択される。なお、電極 V_2 及び V_4 の値は透過と反射を選択するのに適当な値とし、また、クロストークとなる電圧 V_4 の値は液晶の状態を変化させる所定の閾値以内の値としている。

【 0 0 6 3 】

なお、駆動例 2 においては、選択パルス印加時間の分だけずらして走査を行っている（即ち、選択パルス印加時間が走査時間に等しい）。このため、駆動例 1 に比べて 1 画面の走査に要する時間が短い（即ち、走査速度が速い）。

【 0 0 6 4 】

（インターレース走査）

以下、インターレース走査による駆動方法について走査例 1 ～ 3 を挙げて説明する。インターレース走査とは、線順次走査に対置されるもので、1 画面（フレーム）を書き込むのに、走査ラインを 1 又は複数のラインを飛び越して走査する形態を言う。

【 0 0 6 5 】

（走査例 1、図 8 ～ 1 1 参照）

まず、走査例 1 による第 2 表示領域 1 2 に対する表示更新に先立って、第 1 表示領域 1 1 に線順次走査によって静止面の表示更新が行われる。第 1 表示領域 1 1 の表示は画像を書き込んだ後も電圧無印加で維持されるため、その表示更新は適宜タイミングで行えばよい。この更新タイミングについては図 1 6 を参照して後に説明する。

【 0 0 6 6 】

図 8 では第 1 表示領域 1 1 の表示更新に続けて第 2 表示領域 1 2 の表示更新に移行する例を示している。なお、後述する走査例 2 ～ 4 において、第 1 表示領域 1 1 への表示更新は図示を省略しているが、走査例 1 と同様である。

【 0 0 6 7 】

この走査例 1 では、1 フレームを奇数と偶数の 2 フィールドに分割し、まず、奇数の走査ラインに対して書込みを行い、次に、偶数の走査ラインに対して書込みを行い、1 フレームの画像を表示する。各走査ラインにおける書込みは、図 9 に示すように、リセット期間、選択期間及び維持期間で構成され、これらの三つの期間にあっては液晶表示素子は裏面の光吸収層が目視されるブラックアウト状態となる。その後、液晶は表示状態を維持する。

【 0 0 6 8 】

なお、マトリクス駆動の場合、前の選択ラインのパルスによりクロストークが生じるので、図 9 の表示期間には実際には画面の書換え中はクロストークが生じる。

【 0 0 6 9 】

また、液晶の種類等によっては維持期間終了後直ちに表示が現れない場合もあり得るので、この場合は維持期間終了から表示が現れるまでの遅延期間を予め測定しておき、実際に駆動を行う際にこの遅延時間を反映させるようにすればよい。

【 0 0 7 0 】

この走査例 1 において、各走査ラインごとに一定の時間間隔で書込み（リセット、選択、維持）が開始され、次フィールドの書込みを前フィールドの最終ラインでのリセット期間の終了タイミングに基づいて開始する。即ち、第 1 フィールドの最終ラインの選択期間 * A と第 2 フィールドの第 1 ラインの選択期間 * B がずれていることを条件に、奇数フィールドと偶数フィールドの書換えを近づけることができる。

【 0 0 7 1 】

図 8 に示すように、各走査ラインが等しい時間間隔で交互にブラックアウト状態と表示状態とを繰り返すと、平均的に同じ明るさの画像表示に近づき、ちらつ

きが低減できる。そのためには、1 走査ラインのブラックアウト時間の長さに対して書換え対象領域に含まれる走査ラインの数が多くない場合は、前フィールドの先頭ラインのブラックアウトが終了するのに合わせて次フィールドの走査を開始すればよい。1 走査ラインのブラックアウト時間の長さに対して走査ライン数が多くなる場合は、第 1 フィールドの走査ラインでの維持期間の長さを調整してもよい。

【 0 0 7 2 】

図 1 0 (A) は原画像データを示し、図 1 0 (B) , (C) はこの原画像データを、比較のために正方形画素領域（例えば、第 1 表示領域 1 1）に対してインターレース走査例 1 で表示した状態を示している。図 1 0 (B) , (C) から明らかなように、各フィールドでは原画像データの一部が表示されないため、画像が視認しにくくなっている。

【 0 0 7 3 】

これに対して、各画素を走査電極の配列方向に $1/2$ に細分化し、2 倍のピッチで配列した図 3 (A) の構成を有する第 2 表示領域 1 2 に対して、図 1 0 (A) に示す原画像データを図 1 1 (A) に示すように各画素に割り付け、インターレース走査例 1 で表示すると、図 1 1 (B) , (C) に示すように、原画像データの欠落が抑制され、フレーム間での画像のずれが少ない視認しやすい表示が得られる。

【 0 0 7 4 】

図 1 0 (B) 及び図 1 1 (B) は奇数フィールドを書き込んでいる状態、図 1 0 (C) 及び図 1 1 (C) は偶数フィールドを書き込んでいる状態を示す。例えば、選択期間を 0. 1 ~ 0. 5 m s e c、リセット期間及び維持期間をそれぞれ 2 5 m s e c 程度に設定することができ、走査ラインの数にもよるが、毎秒 1 0 フレーム程度の速さで画像を更新することができる。従って、観察者の眼にはブラックアウトのない画像として観察されることになる。

【 0 0 7 5 】

また、この走査例 1 では、走査ラインの解像度を高く設定しているため、信号ラインに沿った方向（画面の上下方向）への画像のスクロール表示を滑らかに行

うことができる。なお、この利点は以下に説明する走査例 2, 3 でも同様である。

【0076】

(走査例 2, 3、図 12～14 参照)

走査例 2 は、前記走査例 1 と同様にちらつき防止を重視したもので、図 12 に示すように、1 フレームを 3 フィールドに分割して画像を書き込む。また、走査例 3 は、図 13 に示すように、1 フレームを 4 フィールドに分割して画像を書き込む。

【0077】

図 14 は走査例 2 での表示状態を示し、原画像データは図 10 (A) に示したものである。先の走査例 1 よりも走査ライン側の解像度が高くなっているので、より解像度の高い滑らかな表示を実現することができる。

【0078】

なお、走査例 2 のように、原画像データを元の画素数よりも多い画素数（ピッチは細くなる）で表示する場合、増加する画像データは新たに生成する必要がある。その手法は種々考えられ、例えば、上下の画素の画像データの平均値を中央の画素の表示データとする手法を採用することができる。一方、フィールド分割数が第 2 表示領域 12 の画素分割数よりも小さい場合もあり得る。

【0079】

(画素構成例及び駆動回路の他の形態、図 15 参照)

単純マトリクス駆動の場合、非選択状態にある走査電極上の画素に対しても、信号電極からデータ信号が印加されることによりクロストークが発生する。そこで、図 15 に示すように、第 1 表示領域 11 と第 2 表示領域 12 とで信号電極 $C_1 \sim C_n$ を分割し、2 組の信号駆動 IC 132, 132 でデータ信号を独立して印加するようにしてもよい。この構成によって、第 2 表示領域 12 を頻繁に書き換える際に第 1 表示領域 11 に発生するクロストークの影響を除去することができる。

【0080】

(静止画と動画の書換え例、図 16 参照)

ここで、第 1 表示領域 1 1 及び第 2 表示領域 1 2 に対する画像（静止画及び動画）の書換え例について説明する。

【0081】

図 1 6 (A) は、第 1 表示領域 1 1 への静止画と第 2 表示領域 1 2 への動画を交互に書き換える例を示す。図 1 6 (A) において、動画 1, 2, 3 の表示帯域は所定時間間隔で動画を第 2 表示領域 1 2 に更新していることを意味している。静止画は各動画の更新の間にそれぞれ更新される。

【0082】

図 1 6 (B) は、動画を更新する表示帯域の前後に同じ静止画を更新する例を示す。図 1 6 (B) においては、動画表示の後にそのとき第 1 表示領域 1 1 に表示されている静止画と同じ静止画が更新されるため、駆動を停止して画面全体を静止状態とした場合、動画表示に伴うクロストークによる静止画の表示劣化を回避できる。

【0083】

図 1 6 (C) は、図 1 6 (B) に示した書換え例に加えて、動画の表示を停止するときに、第 2 表示領域 1 2 に線順次走査で動画と同じ画像データで静止画 a を表示する。図 1 6 (C) においては、駆動の停止時に動画を線順次走査で更新するため、駆動停止後の画像品位が良好に保たれる。第 2 表示領域 1 2 に線順次走査で画像を書き込む場合、画像データの 1 画素に対応する複数の画素を含む複数の走査電極を同時に選択して画像を書き込んでもよい。

【0084】

（他の実施形態）

なお、本発明に係る液晶表示素子及び液晶表示装置は前記各実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0085】

例えば、液晶表示素子の構成、材料、製造方法や、駆動回路の構成等は任意である。特に、単純マトリクス駆動方式のみならず、TFTなどのスイッチング素子を用いた電極構成であってもよい。また、一つの表示層によるモノクロ表示素子であってもよい。さらに、駆動方法として示したパルス波形の形状や印加タイ

ミングは一例であることは勿論である。

【図面の簡単な説明】

【図 1】

本発明に係る液晶表示素子の一例を示す断面図。

【図 2】

液晶表示素子の駆動回路の一例を示すブロック図。

【図 3】

液晶表示素子の画素構成例 1, 2 を示す平面図。

【図 4】

駆動 IC の配置例 1 を示す説明図。

【図 5】

駆動 IC の配置例 2 を示す説明図。

【図 6】

駆動例 1 における駆動波形を示すチャート図。

【図 7】

駆動例 2 における駆動波形を示すチャート図。

【図 8】

インターレース走査例 1 を示すチャート図。

【図 9】

1 画素への書込み期間を示すチャート図。

【図 10】

原画像データ及び該データを比較のために走査例 1 で正方形画素領域に表示した状態を示すチャート図。

【図 11】

原画像データ及び該データを走査例 1 で表示した状態を示すチャート図。

【図 12】

インターレース走査例 2 を示すチャート図。

【図 13】

インターレース走査例 3 を示すチャート図。

【図 1 4】

図 1 0 (A) に示した原画像データに基づいて走査例 2 で表示した状態を示すチャート図。

【図 1 5】

液晶表示素子の駆動回路の他の例を示すブロック図。

【図 1 6】

静止画と動画の書換え例を示すチャート図。

【符号の説明】

$C_1 \sim C_n$ … 信号電極

$R_1 \sim R_m$ … 第 2 表示領域の走査電極

$R_{m+1} \sim R_M$ … 第 1 表示領域の走査電極

$LR_1 - C_1 \sim LR_m - C_n$ … 第 2 表示領域の画素

$LR_{m+1} - C_1 \sim LR_M - C_n$ … 第 1 表示領域の画素

1 1 … 第 1 表示領域 (静止画表示領域)

1 2 … 第 2 表示領域 (動画表示領域)

1 0 0 … 液晶表示素子

1 1 6 … カイラルネマティック液晶

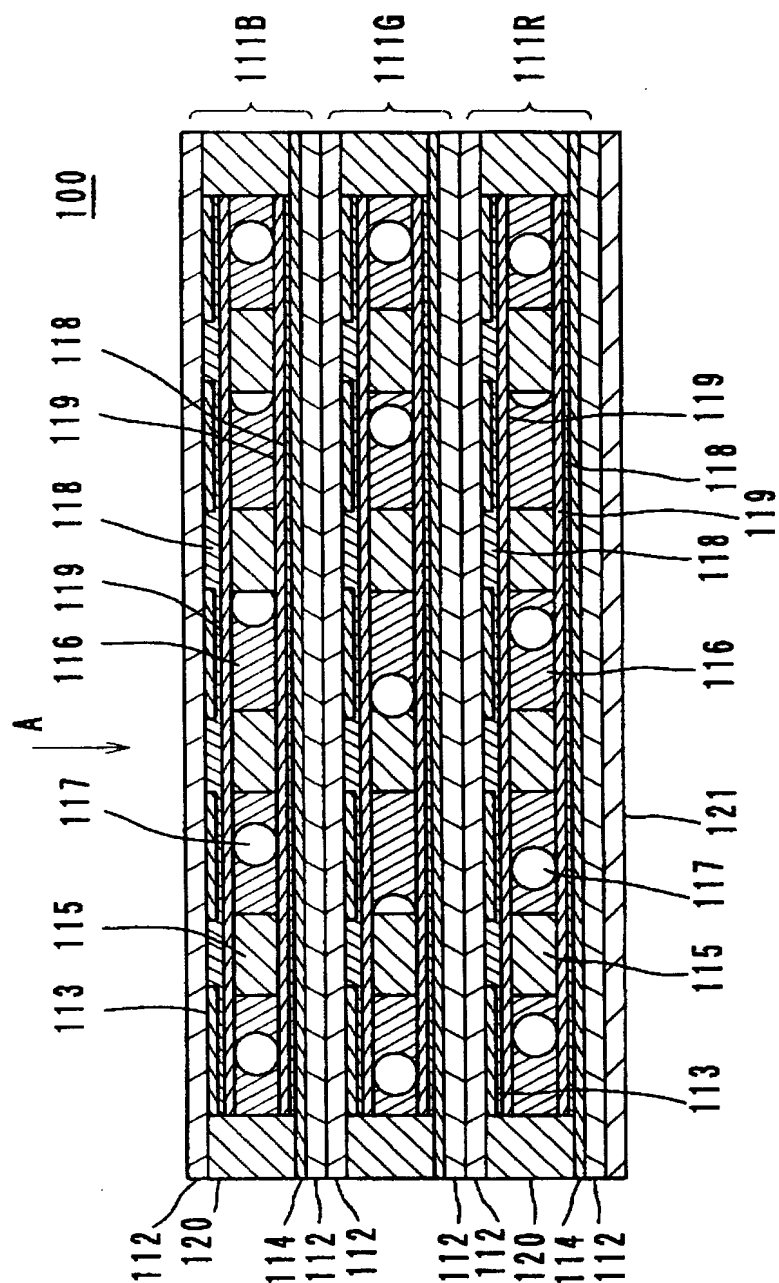
1 3 1 … 走査駆動 IC

1 3 2 … 信号駆動 IC

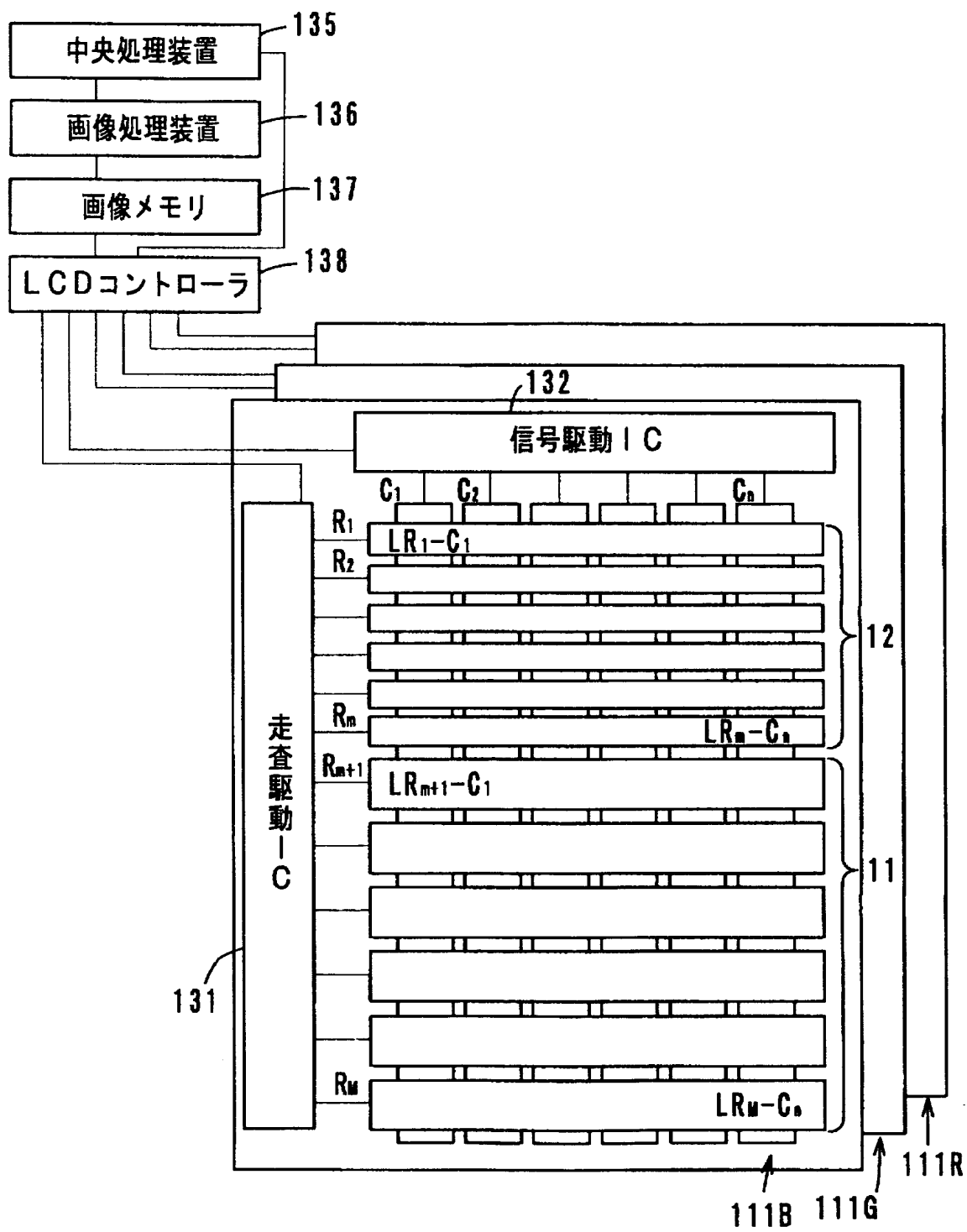
1 3 5 … 中央処理装置

【書類名】 図面

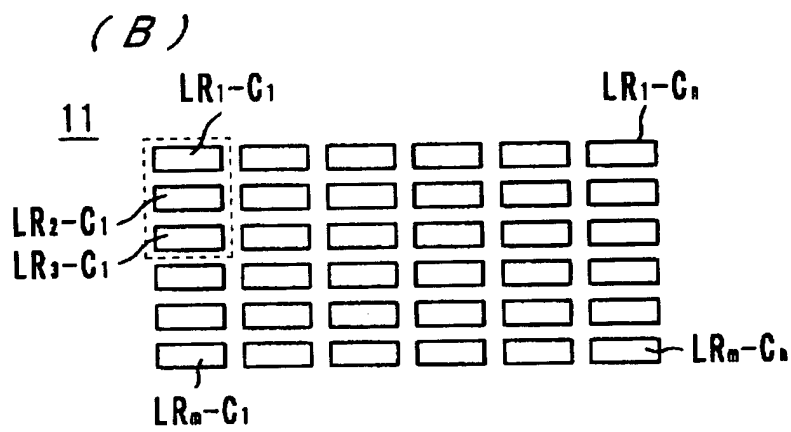
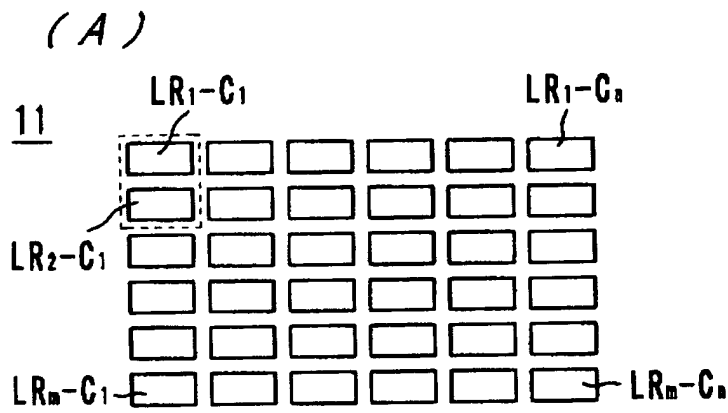
【図 1】



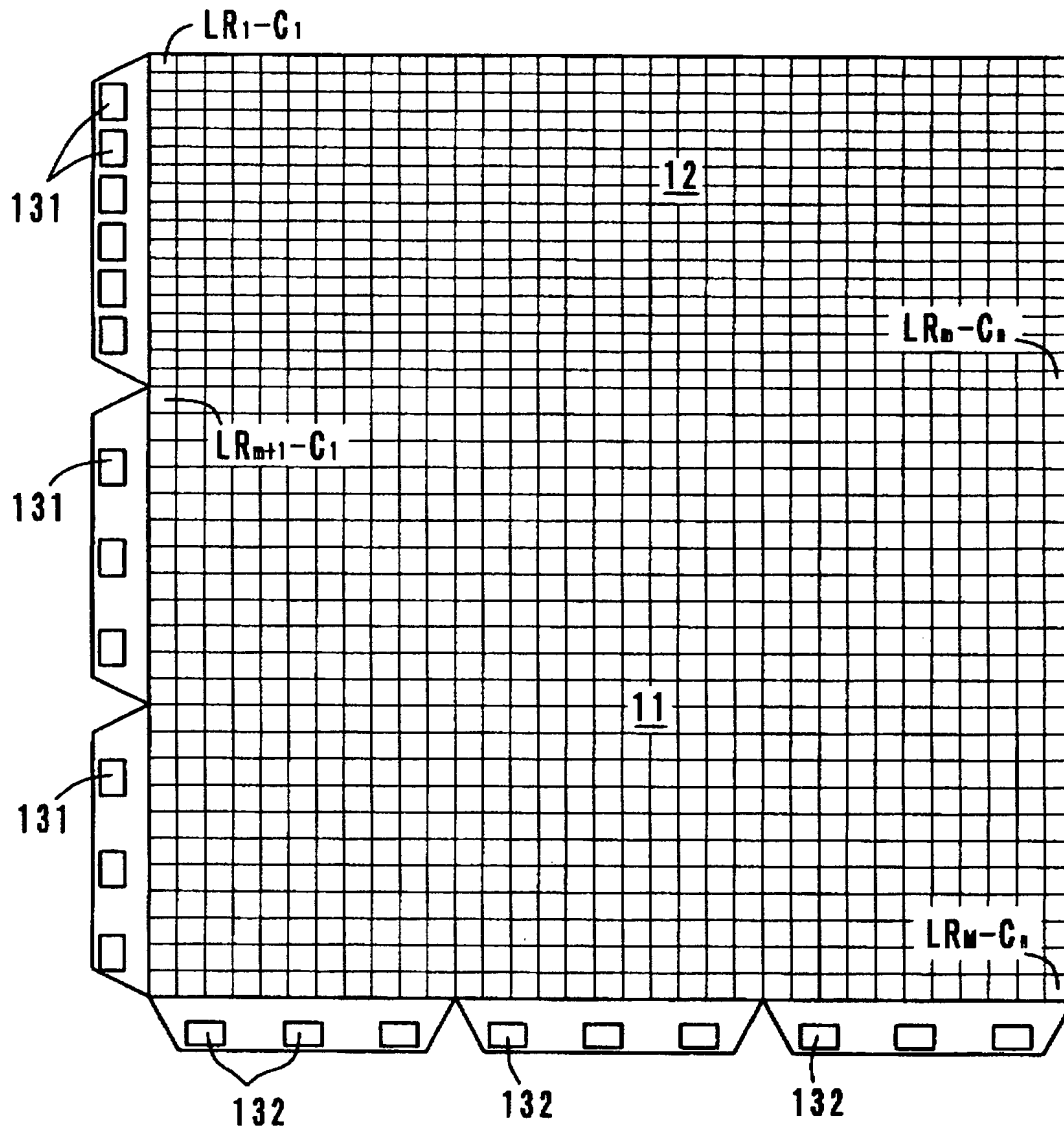
【図 2】



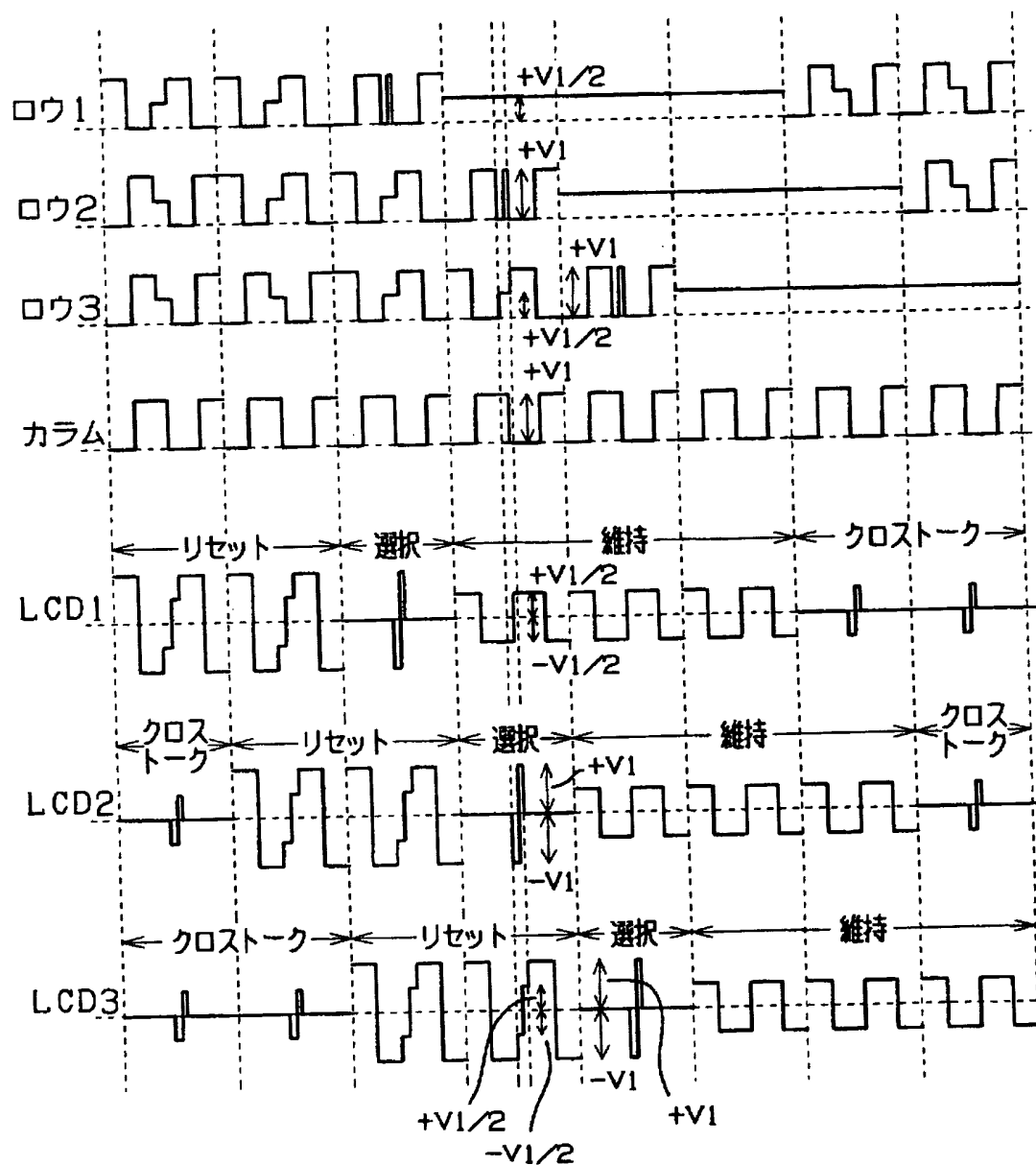
【図 3】



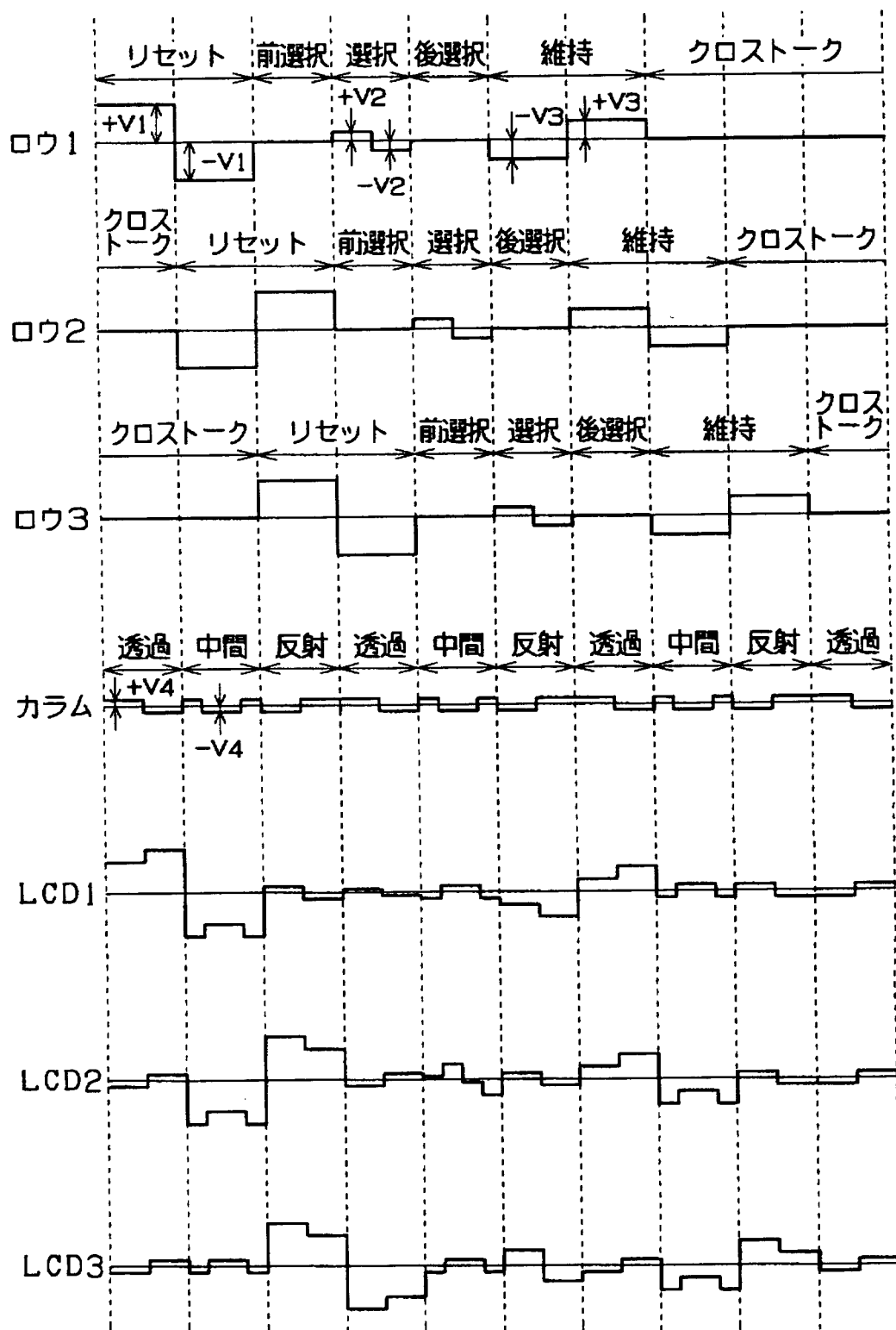
【図 4】



【図6】

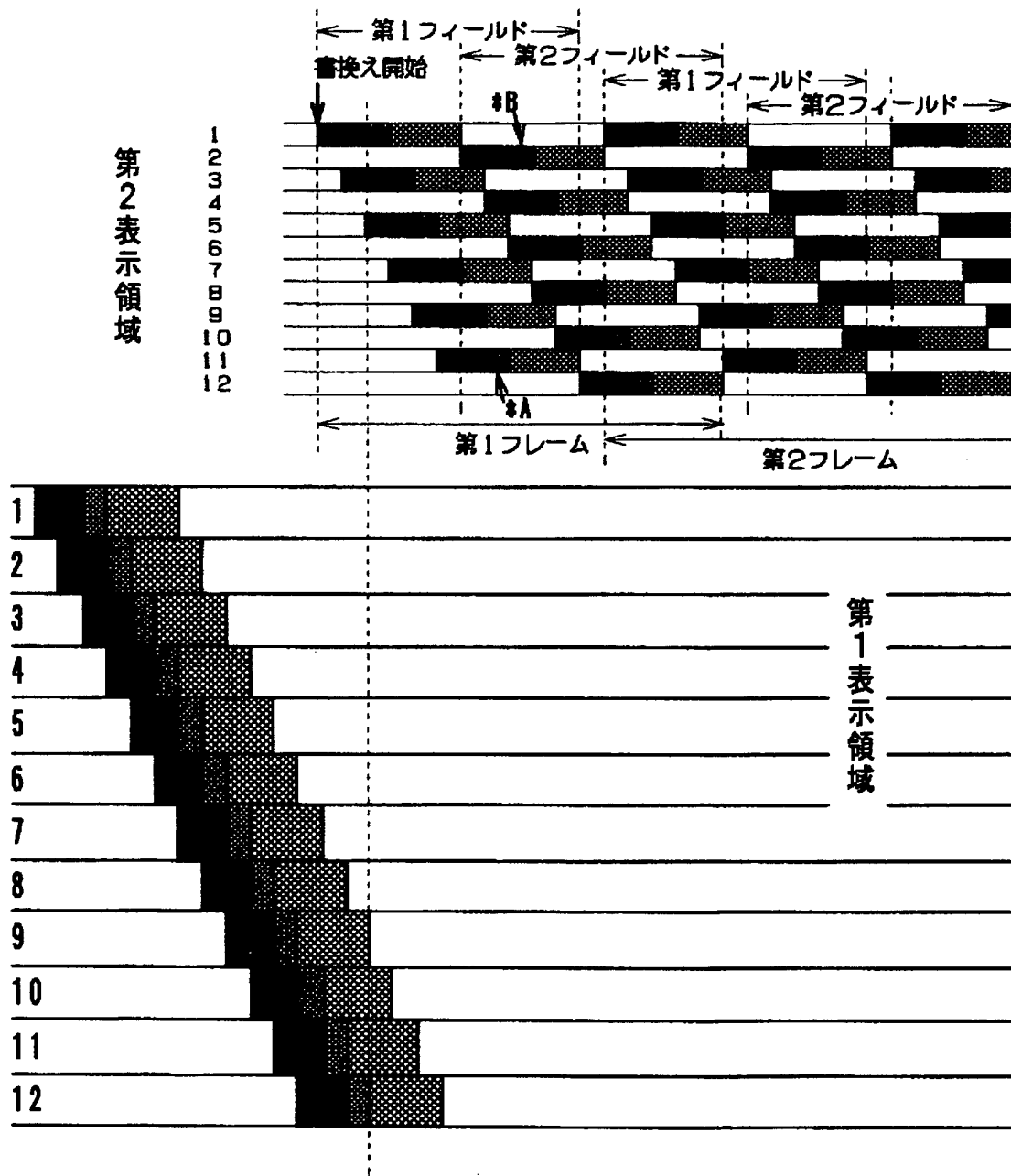


【図 7】

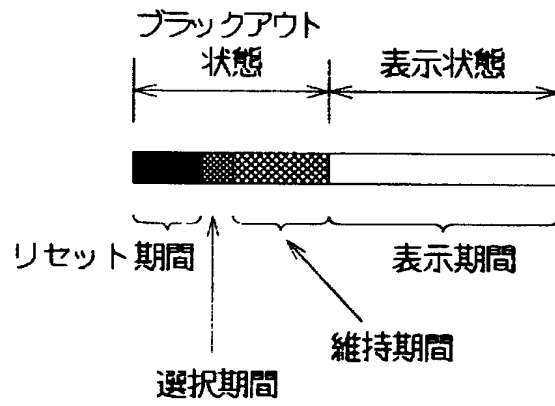


【図 8】

走査例1 (2フィールド分割)

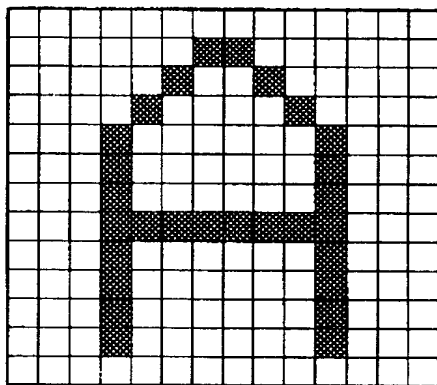


【図 9】

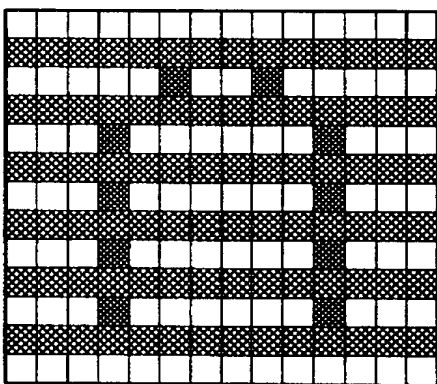


【図 10】

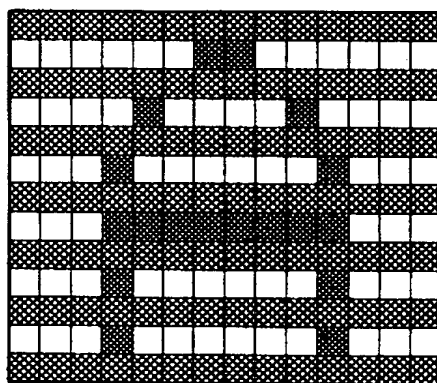
(A)



(B)

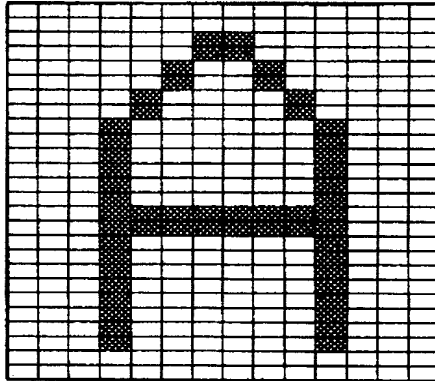


(C)

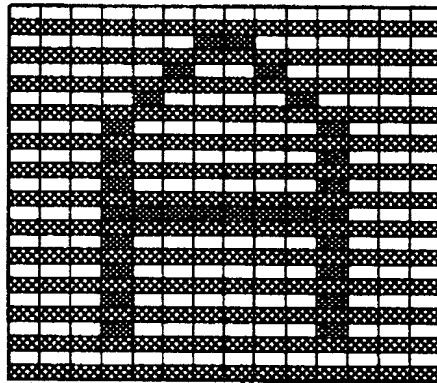


【図 1 1】

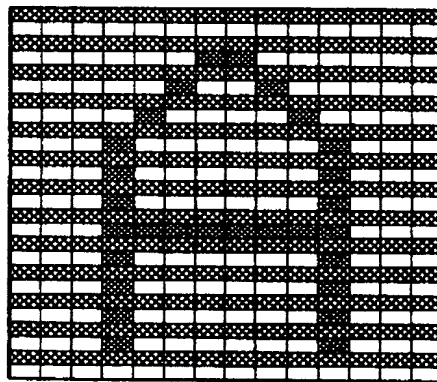
(A)



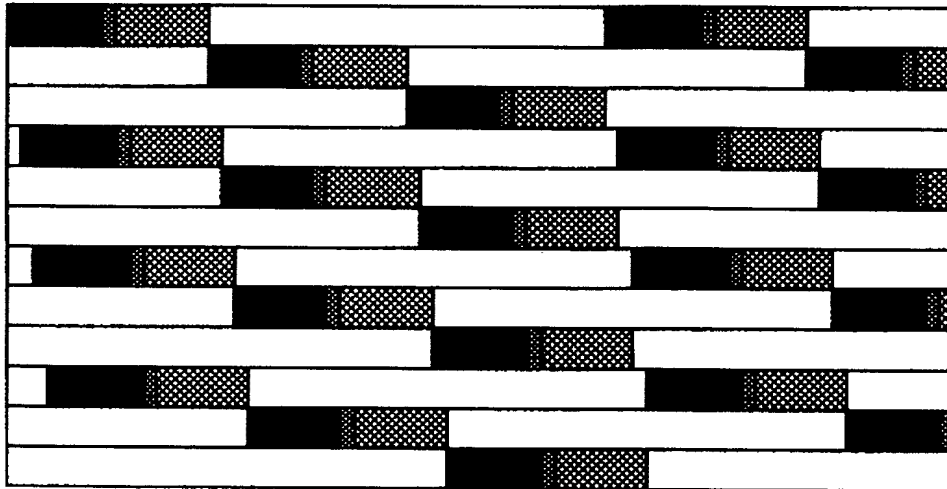
(B)



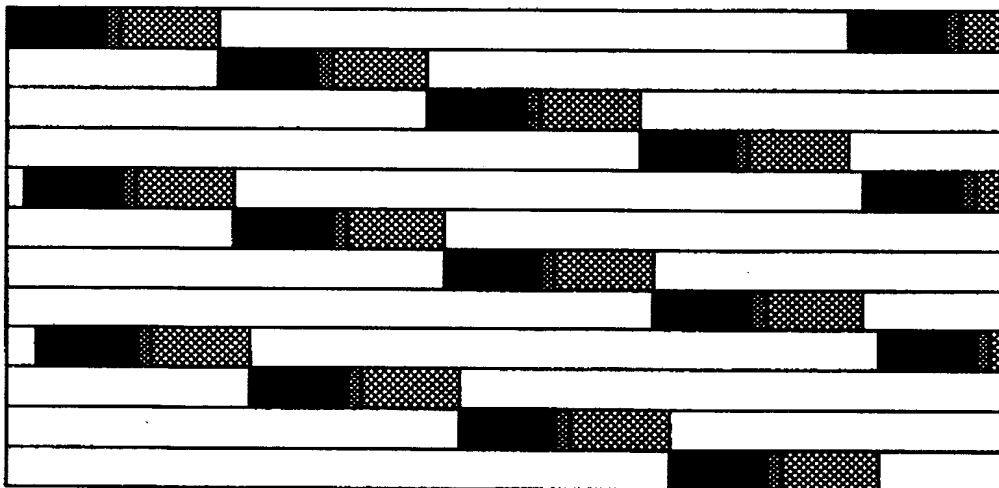
(C)



【図 12】

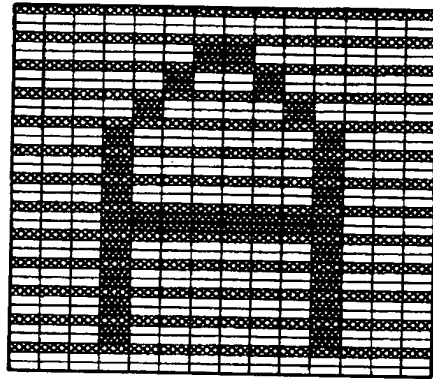


【図 13】

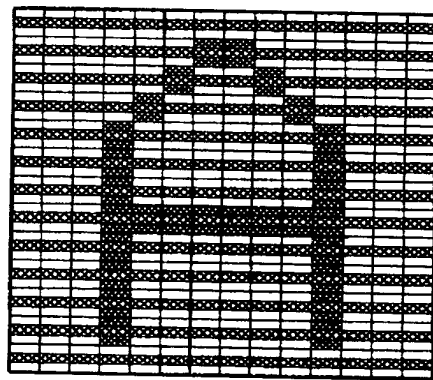


【図14】

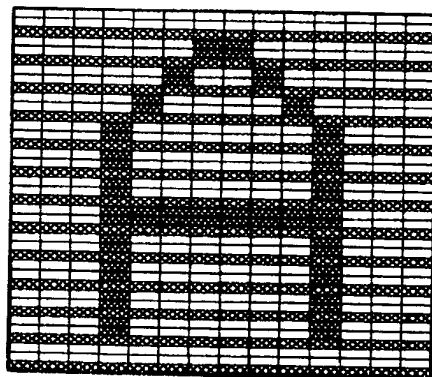
(A)



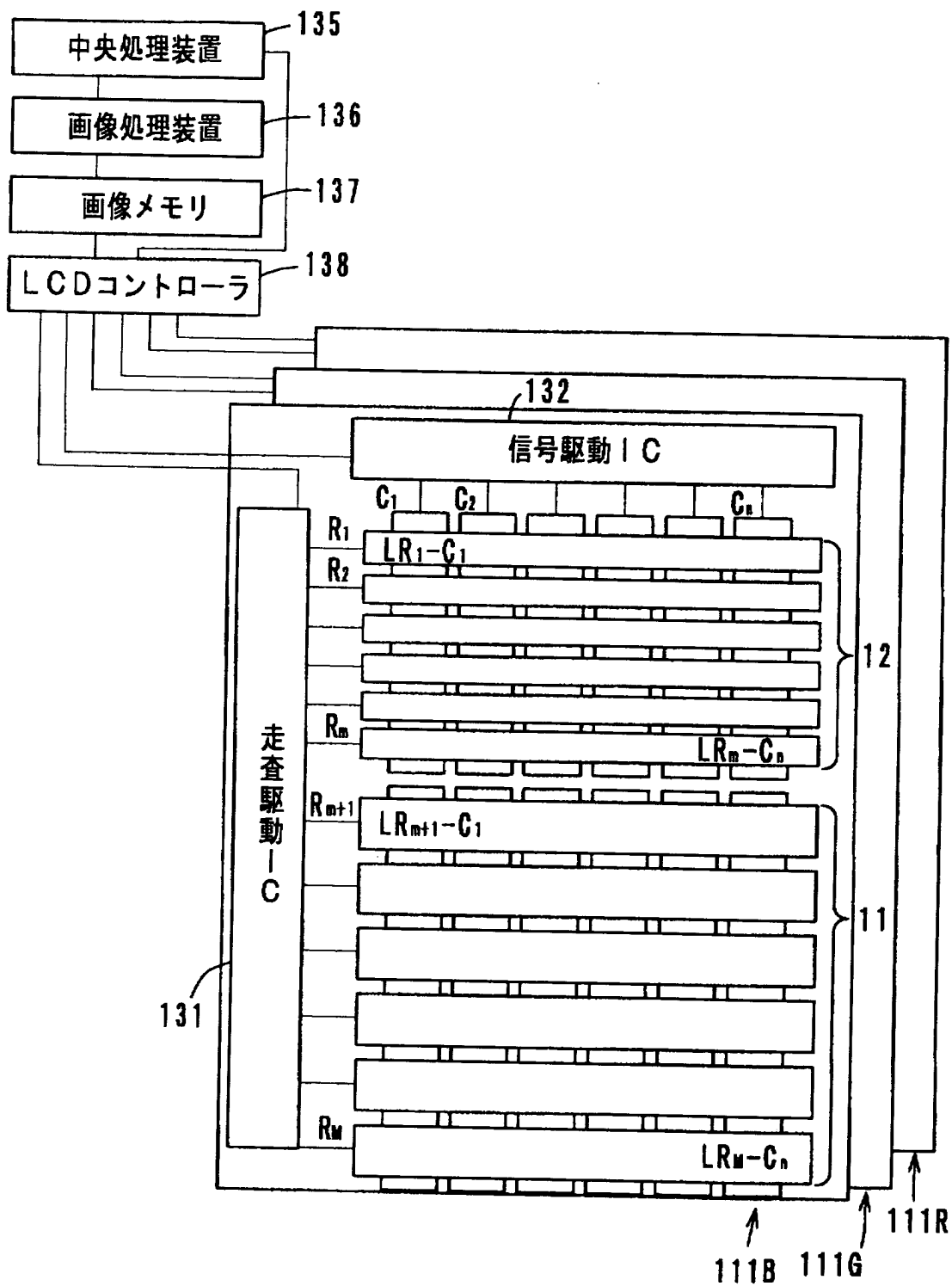
(B)



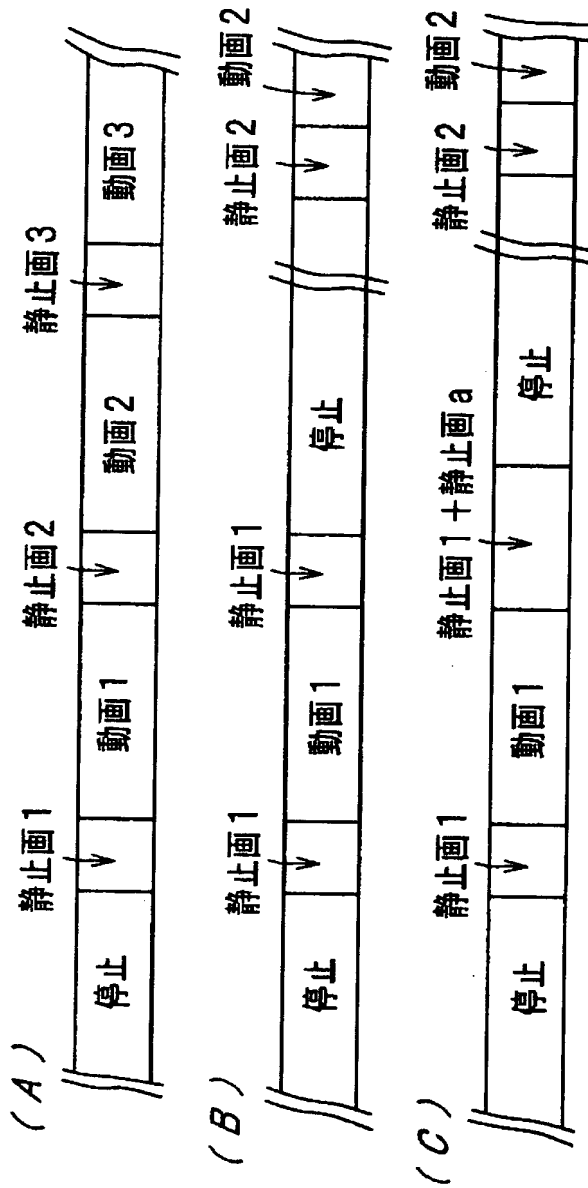
(C)



【図 1 5】



【図16】



【書類名】 要約書

【要約】

【課題】 解像度を高くして、表示品位を損なうことなくインターレース走査が可能な液晶表示素子及び液晶表示装置を得る。

【解決手段】 走査電極 $R_{m+1} \sim R_M$ が配置された第 1 表示領域 1 1 と、走査電極 $R_1 \sim R_m$ が配置された第 2 表示領域 1 2 とを備えた液晶表示素子。これらの走査電極と信号電極 $C_1 \sim C_n$ とで第 1 表示領域 1 1 には複数の画素 $LR_{m+1}-C_1 \sim LR_M-C_n$ がマトリクス状に構成され、第 2 表示領域 1 2 には複数の画素 $LR_1-C_1 \sim LR_m-C_n$ がマトリクス状に構成されている。第 2 表示領域 1 2 に配置された走査電極の幅及びピッチは、第 1 表示領域に配置された走査電極の幅及びピッチの $1/2$ である。この第 2 表示領域 1 2 に対しては、液晶を一旦リセットしてから書込みを行う駆動パルスを用いて、1 フレームを複数のフィールドに分割するインターレース走査により画像を書き込む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社